

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-7970

(P2003-7970A)

(43) 公開日 平成15年1月10日 (2003.1.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 25/10		H 0 1 L 21/60	3 1 1 R 5 F 0 4 4
21/60		23/12	5 0 1 B
	3 1 1		5 0 1 S
23/12	5 0 1	25/14	Z
		21/92	6 0 3 B

審査請求 未請求 請求項の数22 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2001-185707(P2001-185707)

(22) 出願日 平成13年6月20日 (2001.6.20)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 柳田 敏治

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74) 代理人 100076059

弁理士 逢坂 宏

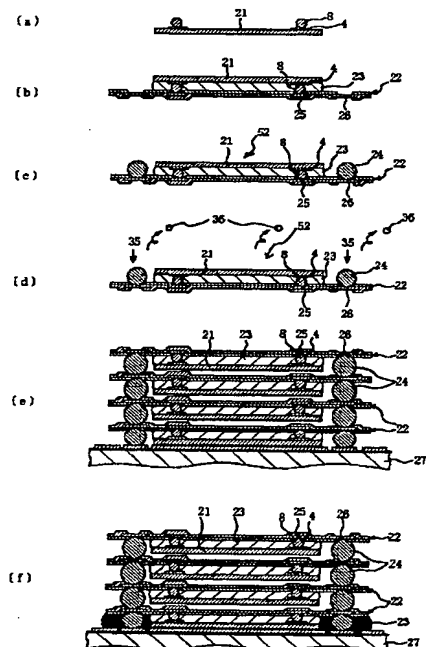
Fターム (参考) 5F044 KK03 LL09 QQ01

(54) 【発明の名称】 半導体デバイスの実装方法及びその実装構造、並びにその実装方法に用いる清浄化装置、半導体装置の製造方法及び半導体装置、並びにその製造方法に用いる清浄化装置

## (57) 【要約】

【課題】 接続部の良好な電気特性が得られる半導体デバイスの実装方法及びその実装構造、並びにその実装方法に用いる清浄化装置、半導体装置の製造方法及び半導体装置、並びにその製造方法に用いる清浄化装置を提供すること。

【解決手段】 裏面を薄型化加工して第1突起電極8を設けた半導体チップ21を、中間基板22の第1外部接続端子25に接続してフリップチップ実装し、更に中間基板の両面に端子が形成された第2外部接続端子26の一方の面に第2突起電極24を形成し、この第2突起電極24を不活性ガス雰囲気中でレーザービーム照射を用いた表面のクリーニング処理を行い、引続きレーザービーム照射によって中間基板22を個片化後、第2突起電極24を介して、複数個の中間基板22を積層実装する。これにより、第2突起電極24の表面が清浄化されると共に、ポリイミド樹脂からなる中間基板22の表面が化学的に活性化され、良好な層間接続部の電気特性が得られると共に、樹脂封止の際の封止材料と中間基板との密着性が向上する。



## 【特許請求の範囲】

【請求項1】 半導体チップに形成された第1突起電極と接合する第1外部端子と、両面に電極部が露出している第2外部端子とを有する中間基板に対し、前記半導体チップを接合する工程と、

前記第2外部端子の一方の面側に第2突起電極を形成する工程と、

少なくとも前記第2突起電極をレーザービーム照射にて清浄化処理する工程と、

しかる後に前記中間基板を前記第2突起電極を介して外部と接続する工程とを有する、半導体デバイスの実装方法。

【請求項2】 前記第2突起電極を清浄化処理する工程と、前記中間基板を外部と接続する工程との間に、前記中間基板を切断し、個片化した前記中間基板を得る、請求項1に記載した半導体デバイスの実装方法。

【請求項3】 前記中間基板の切断をレーザービーム照射によって行う、請求項2に記載した半導体デバイスの実装方法。

【請求項4】 前記清浄化処理を、減圧雰囲気下又は非酸化性ガス雰囲気下で行う、請求項1に記載した半導体デバイスの実装方法。

【請求項5】 前記レーザービームを照射しながら、少なくとも前記第2突起電極表面から前記レーザービームの照射で脱離した不要物を吸引する、請求項1又は4に記載した半導体デバイスの実装方法。

【請求項6】 少なくとも前記第2突起電極表面にガスを吹き付けて前記不要物の吸引を助長する、請求項5に記載した半導体デバイスの実装方法。

【請求項7】 前記ガスとして、非酸化性若しくは不活性なガスを用いる、請求項6に記載した半導体デバイスの実装方法。

【請求項8】 前記中間基板の複数個を前記第2突起電極を介して積層する、請求項1に記載した半導体デバイスの実装方法。

【請求項9】 前記中間基板を前記第2突起電極を介して回路基板上に積層する、請求項1又は8に記載した半導体デバイスの実装方法。

【請求項10】 前記第2突起電極を介して前記回路基板に前記中間基板を層間接続するに際し、少なくとも層間接合部の周囲を樹脂封止する、請求項1に記載した半導体デバイスの実装方法。

【請求項11】 少なくとも、複数個の前記中間基板の全ての層間接合部の周囲を樹脂封止する、請求項10に記載した半導体デバイスの実装方法。

【請求項12】 少なくとも層間接合部の周囲の樹脂封止と同時に、前記回路基板及びこれに実装された他の電子部品をも一括して樹脂封止する、請求項10に記載した半導体デバイスの実装方法。

【請求項13】 半導体チップに形成された第1突起電

極と接合する第1外部端子と、両面に電極部が露出している第2外部端子とを有する中間基板に対し、前記半導体チップを接合する工程と、

前記第2外部端子の一方の面側に第2突起電極を形成する工程と、

少なくとも前記第2突起電極をレーザービーム照射にて清浄化処理する工程と、

しかる後に前記中間基板を前記第2突起電極を介して外部と接続する工程とを経て作製された半導体デバイスの実装構造を内蔵する、半導体装置の製造方法。

【請求項14】 請求項2～12のいずれか1項に記載した処理を行う、請求項13に記載した半導体装置の製造方法。

【請求項15】 半導体チップに形成された第1突起電極と接合する第1外部端子と、両面に電極部が露出している第2外部端子とを有する中間基板に対し、前記半導体チップが接合され、前記第2外部端子の一方の面側に形成された少なくとも第2突起電極がレーザービーム照射にて清浄化処理されていて、前記中間基板が前記第2突起電極を介して外部と接続されている、半導体デバイスの実装構造。

【請求項16】 請求項2～12のいずれか1項に記載した処理が行われている、請求項15に記載した半導体デバイスの実装構造。

【請求項17】 請求項1又は請求項13に記載したレーザービーム照射による清浄化処理に用いる清浄化装置であって、

前記レーザービームの照射位置の近傍に、少なくとも第2突起電極の表面から前記レーザービームの照射によって脱離した不要物を吸引する吸引手段が配設されている、清浄化装置。

【請求項18】 少なくとも前記第2突起電極表面にガスを吹き付けられて前記不要物の吸引が助長される、請求項17に記載した清浄化装置。

【請求項19】 前記不要物の吸引が、減圧雰囲気下又は非酸化性ガス雰囲気下で行われる、請求項18に記載した清浄化装置。

【請求項20】 前記ガスとして、非酸化性若しくは不活性なガスを用いる、請求項18に記載した清浄化装置。

【請求項21】 半導体チップに形成された第1突起電極と接合する第1外部端子と、両面に電極部が露出している第2外部端子とを有する中間基板に対し、前記半導体チップが接合され、前記第2外部端子の一方の面側に形成された少なくとも第2突起電極がレーザービーム照射にて清浄化処理されていて、前記中間基板が前記第2突起電極を介して外部と接続されて実装されている半導体デバイスを内蔵した半導体装置。

【請求項22】 請求項2～12のいずれか1項に記載した処理が行われている、請求項21に記載した半導体

装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば電子機器の製造分野に適用される、半導体デバイスの実装方法及びその実装構造、並びにその実装方法に用いる清浄化装置、半導体装置の製造方法及び半導体装置、並びにその製造方法に用いる清浄化装置に関するものである。

【0002】

【従来の技術】近年、デジタルビデオカメラ、デジタル携帯電話、ノートブック型パーソナルコンピュータ等の携帯用電子機器が広く普及してきており、これらの携帯用電子機器に対する小型化、薄型化及び軽量化等の要求が高まってきている。

【0003】図8は、従来例による半導体デバイスチップの積層実装の一例を示す概略断面図である。この例の場合、回路基板42上に複数の半導体チップ43が積層され、それぞれのチップの電極パッド45をワイヤー44によって回路基板42の電極パッド42aに接続後、樹脂46で封止されている。

【0004】また、図9は従来例による他の一例を示す概略図であり、(a)は平面図、(b)は(a)のb-b線断面図である。この例の場合、マウント部10上に複数の半導体チップ30が積層され、それぞれの電極パッド31がワイヤー12によってマウント部10の電極パッド14に対して3次元的に接続され、更に電極パッド14とリード部11との間をインナーリード部13によって接続後、全体が樹脂封止(図示省略)される。

【0005】しかし、図示の如く、いずれも積層高さが高く形成されると共に、ワイヤー引き回しのスペースを要するため半導体デバイスの小型化、薄型化及び軽量化を妨げる原因となる。

【0006】電子機器の小型化をより一層進展させるためには、部品実装密度を如何に向上させるかが重要なポイントとなる。この半導体デバイスに関しても、従来のパッケージ実装(QFP(Quad Flat Package)、TSOP(Thin Small Outline Package))の代替えとして、フリップチップ実装等、プリント配線基板にLSI(Large Scale Integration)チップを直接マウントする様な高密度実装技術の開発が今では盛んに行なわれ、その実用化も始まっている。

【0007】フリップチップ実装法の一つとして、半導体IC(Integrated Circuit)のA1(アルミニウム)電極パッド上にはんだボールバンプを形成して、ICペアクリップを直接プリント配線基板上に実装する方法がある。

【0008】このはんだバンプを所定の電極上に形成する方法としては、電解めっきを用いた方法もあるが、この場合、下地の表面状態や電気抵抗のわずかなばらつきによって成膜されるはんだの厚みが影響を受け、ICチ

ップ内で均一に高さの揃ったはんだバンプの形成を行なうことが基本的に難しいという問題がある。

【0009】そこで、はんだパターンの高さやばらつきを抑制できる製法としては、真空蒸着による成膜とフォトリソ膜のリフトオフとを用いた方法があり、本出願人は既に提案している。この方法によるはんだボールバンプの製造工程の一例を図7に示す。

【0010】即ち、図7(a)に示すように、フリップチップICの接合部は、シリコン等の半導体基体1上にA1-Cu(銅)合金等の電極パッド2をスパッタリングやエッチングを用いて形成し、更にシリコン窒化膜やポリイミド等によって表面保護膜3を全面に被覆した後、電極パッド2上に開口部を形成して、BLM(Ball Limiting Metal)膜と称せられるCr(クロム)、Cu、Au(金)等から成る金属多層膜(以下、BLM膜と称する。)4をスパッタ成膜する。

【0011】そして、図7(b)に示すように、このBLM膜4の上に、開口部5を有するレジスト膜6のパターンを形成し、次は図7(c)に示すように、これらの上面の全面にはんだ蒸着膜7を成膜し、次は図7(d)に示すように、レジストのリフトオフによって不要なはんだ膜を除去することで所望のパターン形成を行なった後、図7(e)に示すように、熱処理を加えてはんだを溶融させることにより、BLM膜4の上にはんだボールバンプ8が形成される。

【0012】こうした本発明者らが提案してきた製造技術を用い、バンプが形成されたデバイスチップをプリント配線基板にフリップチップ実装することによって、従来のモールド樹脂でパッケージングされたデバイスを実装した場合に比べて、マザー基板を小型化できるため、様々な電子機器の小型軽量化の実現に貢献してきた。

【0013】しかしながら、ICカード、携帯電話、PDA(Personal Digital Assistant)等を初めとする携帯用電子機器については、デバイスの実装スペースはできる限り少なくしたいところであり、これまで主として目指してきた2次元的な小型省スペース化に加えて、高さ方向にも更なる薄型化ができるような半導体デバイスの高密度な3次元実装技術を確立して、より一層の高機能化を実現することが切望されている。

【0014】半導体デバイスの積層3次元実装法として、これまでに提案されている代表的なものは、例えば特開平6-244360号公報(図8参照)、及び特開昭60-94756号公報(図9参照)等に開示されているようなものであり、デバイスチップをフェイスアップで重ねて、電極の接続は従来のワイヤボンディング技術を利用するものが最近実用化され始めている。

【0015】しかしながら、こうした手法では、ワイヤの引き回しのために余分な実装スペースを必要とし、長いワイヤ配線部でのインダクタンスが今後の高速高周波デバイスでは信号遅延を顕在化させる等の欠点を

有していた。

【0016】従って、これを解決するための手段として、本発明者は、裏面が薄型化加工された突起電極付き半導体デバイスチップを、両面に外部接続端子を有するポリイミド樹脂等から成るフレキシブル中間基板にフリップチップ実装し、更にこのチップ実装済みの中間基板を、外部接続端子を介して複数枚積層実装する半導体デバイス部品の実装方法を特願平10-371006号公報により提案した。これにより、高機能を有する半導体デバイスの超薄型実装が可能となった。

【0017】

【発明が解決しようとする課題】しかしながら、上記した如く、半導体デバイスの超薄型実装が可能な優れた特長を有するものの、フリップチップ実装した中間基板を、外部接続端子を介して複数枚積層実装する場合に、層間接続部での電気抵抗が高く不安定な傾向があり、更に改善を要することが分かった。

【0018】そこで本発明の目的は、接続部の良好な電気特性が得られる半導体デバイスの実装方法及びその実装構造、並びにその実装方法に用いる清浄化装置、半導体装置の製造方法及び半導体装置、並びにその製造方法に用いる清浄化装置を提供することにある。

【0019】

【課題を解決するための手段】即ち、本発明は、半導体チップに形成された第1突起電極と接合する第1外部端子と、両面に電極部が露出している第2外部端子とを有する中間基板に対し、前記半導体チップを接合する工程と、前記第2外部端子の一方の面側に第2突起電極を形成する工程と、少なくとも前記第2突起電極をレーザービーム照射にて清浄化処理する工程と、しかる後に前記中間基板を前記第2突起電極を介して外部と接続する工程とを有する、半導体デバイスの実装方法（以下、本発明の実装方法と称する。）に係るものである。

【0020】本発明の実装方法によれば、中間基板の第1外部端子と半導体チップの第1突起電極との接合により、中間基板に半導体チップを接合し、中間基板の両面に露出している第2外部端子の一方の面側に第2突起電極を形成して、少なくともこの第2突起電極をレーザービーム照射にて清浄化処理後に、第2突起電極を介して中間基板を外部と接続するので、レーザービーム照射による清浄化処理によって、第2突起電極の表面に形成された自然酸化膜やフラックス等の残渣が除去され、第2突起電極の表面が清浄化されるため、この第2突起電極を介した外部との接続部の接続抵抗を低減させ、電気特性を高めることができる。

【0021】また、本発明は、半導体チップに形成された第1突起電極と接合する第1外部端子と、両面に電極部が露出している第2外部端子とを有する中間基板に対し、前記半導体チップを接合する工程と、前記第2外部端子の一方の面側に第2突起電極を形成する工程と、少

なくとも前記第2突起電極をレーザービーム照射にて清浄化処理する工程と、しかる後に前記中間基板を前記第2突起電極を介して外部と接続する工程とを経て作製された半導体デバイスの実装構造を内蔵する、半導体装置の製造方法（以下、本発明の製造方法と称する。）に係るものである。

【0022】本発明の製造方法によれば、上記した本発明の実装方法に基づいた製造方法であるので、本発明の実装方法と同様な効果が奏せられる半導体装置の製造方法を提供することができる。

【0023】また、本発明は、半導体チップに形成された第1突起電極と接合する第1外部端子と、両面に電極部が露出している第2外部端子とを有する中間基板に対し、前記半導体チップが接合され、前記第2外部端子の一方の面側に形成された少なくとも第2突起電極がレーザービーム照射にて清浄化処理されていて、前記中間基板が前記第2突起電極を介して外部と接続されている、半導体デバイスの実装構造（以下、本発明の実装構造と称する。）に係るものである。

【0024】本発明の実装構造によれば、上記した本発明の実装方法に基づいて実装されるので、本発明の実装方法と同様な効果が奏せられる半導体デバイスの実装構造を提供することができる。

【0025】また、本発明は、半導体チップに形成された第1突起電極と接合する第1外部端子と、両面に電極部が露出している第2外部端子とを有する中間基板に対し、前記半導体チップが接合され、前記第2外部端子の一方の面側に形成された少なくとも第2突起電極がレーザービーム照射にて清浄化処理されていて、前記中間基板が前記第2突起電極を介して外部と接続されて実装されている半導体デバイスを内蔵した、半導体装置（以下、本発明の半導体装置と称する。）に係るものである。

【0026】本発明の半導体装置によれば、上記した本発明の製造方法に基づいて製造されるので、本発明の製造方法と同様な効果が奏せられる半導体装置を提供することができる。

【0027】また、本発明は、上記した本発明の実装方法又は製造方法において、レーザービーム照射による清浄化処理に用いる清浄化装置であって、前記レーザービームの照射位置の近傍に、少なくとも第2突起電極の表面から前記レーザービームの照射によって脱離した不要物を吸引する吸引手段が配設されている、清浄化装置（以下、本発明の清浄化装置と称する。）にも係るものである。

【0028】本発明の清浄化装置によれば、レーザービーム照射位置の近傍に不要物の吸引手段が設けられているので、レーザービーム照射により第2突起電極の表面に急激な熱膨張が生じ、第2突起電極表面から脱離するプロセス残渣等の不要物が吸引手段によって吸引される

ため、第2突起電極の表面を効率良く清浄化することができる。

【0029】

【発明の実施の形態】上記した本発明の実装方法、製造方法、実装構造、半導体装置及び清浄化装置においては、前記第2突起電極を清浄化処理した後、前記中間基板を外部と接触する前に、前記中間基板をレーザービーム照射によって切断し、個片化することが望ましい。

【0030】また、レーザービーム照射による前記清浄化処理を、減圧雰囲気下又は非酸化性ガス雰囲気下で行うのが望ましい。

【0031】この場合、前記レーザービームを照射しながら、少なくとも前記第2突起電極表面から前記レーザービームの照射で脱離した不要物を吸引手段で吸引するのが望ましく、更に、少なくとも前記第2突起電極表面にガスを吹き付けて前記不要物の吸引を助長するのが望ましい。このガスは、 $N_2$ 等の非酸化性若しくは不活性なガスであるのが望ましい。

【0032】そして、前記中間基板の複数個を前記第2突起電極を介して積層するのが望ましく、更に、前記中間基板を、前記第2突起電極を介して回路基板上に積層することが望ましい。

【0033】また、前記第2突起電極を介して前記回路基板に前記中間基板を層間接続するに際し、少なくとも層間接合部の周囲を樹脂封止することが望ましい。

【0034】この場合、少なくとも、複数個の前記中間基板の全ての層間接合部の周囲を樹脂封止してもよく、少なくとも層間接合部の周囲の樹脂封止と同時に、前記回路基板及びこれに実装された他の電子部品をも一括して樹脂封止してもよい。

【0035】なお、本発明において上記の「中間基板」とは、ポリイミド樹脂等からなる再配置配線用の基板であって、個片化する前の大面積の基板や個片化後のものも含むものである。

【0036】以下、本発明の実施の形態を図面参照下で具体的に説明する。

【0037】本発明は、電子機器の超小型化、超薄型軽量化、高機能化を実現するために、半導体デバイス部品の薄型3次元実装を、高い接続信頼性をもって作製するものであり、具体的には図1(a)に示すように、LSI形成後のデバイスウエハに対して、まず機械研削、化学的機械研磨、エッチング等の処理によって、裏面から薄型化加工した後に、ダイシングして形成した薄型デバイスチップ21（先にダイシングした後に薄型加工することも可能）に第1突起電極としてのはんだバンプ8を設け、これを図1(b)に示すように、ポリイミド樹脂、エポキシ樹脂等を主原料とする軟性の薄型フレキシブル中間基板22にフリップチップ実装する。

【0038】次に、図1(c)に示すように、薄型チップ21を実装した中間基板22の外部接続端子26に、

後に層間接続部となる突起電極24を設け、この段階の中間基板21及び突起電極24の表面に対し、図1

(d)に示すように、本発明の特徴をなすレーザービーム35を用いたクリーニング処理を施した後に中間基板22を個片化する。そして図1(e)に示すように、個片化した中間基板22を複数枚積層実装し、図1

(f)、図2(f)又は図6(b)に示すように、層間接続部の周囲又は回路基板27も含めて樹脂封止する。これにより、半導体デバイスの薄型3次元実装を高い接続信頼性で実現することができる。

【0039】即ち、中間基板22の外部接続端子26にはんだボール等の突起電極24を形成した後処理として、レーザービーム35を突起電極24の表面に照射しながら、ジェットガス( $N_2$ などの非酸化性若しくは不活性なガス)を吹き付けることにより、突起電極24の表面に形成された自然酸化膜やフラックス残り等のプロセス残渣を除去して、清浄な突起電極24の表面を露出させると共に、フレキシブル中間基板22を構成しているポリイミド樹脂に対して、高エネルギーの紫外光のフォトン照射によって、表面層を化学的に活性な状態にさせる。

【0040】ここで、行われる中間基板22の表面のクリーニングプロセスは、短パルスのレーザー光照射により、突起電極24の表面層に極めて急激な熱膨張が起こり、プロセス残渣等の付着物の離脱を促進させると同時に、レーザーエネルギーによって金属表面が還元状態になって自然酸化物が除去される等によって、清浄で活性な突起電極24の表面が得られる。

【0041】また、レーザー光は短波長光であるため、エネルギー制御やビーム径の調整が容易であり、所定箇所を局部的かつ選択的に、更にパルス制御して間欠的に照射することができるので、上記のような突起電極24のクリーニング処理が効果的に行え、更に、後述する中間基板の個片化処理も効果的に行えると共に、高価な真空装置も必要でなく、製品の低コスト化にも寄与できる。

【0042】従って、層間接続部となる中間基板22の突起電極24の表面が清浄化されることにより、これを積層実装した際の層間接続部の接続抵抗を大きく低減させることができる。

【0043】また、中間基板22の表面が活性化されることによって、積層実装後のモジュールの接続信頼性を更に向上させるために、図1(f)等で示した如く樹脂封止を行う場合に、樹脂材料のギャップ充填性や、中間基板22と封止樹脂23との密着性をも向上させることができる。

【0044】その結果、高機能化を目指す半導体デバイスの電気特性が向上し、高密度3次元実装を高い接続信頼性で実現することが可能となる。

【0045】また、本発明は、上記したレーザービーム照射による突起電極24の表面のクリーニング処理を行

った後、引き続き、フリップチップ実装した突起電極24付きのフレキシブル中間基板22の個片化のための切断処理を、レーザービームを用いて行うのが特徴であり、これにより、薄型半導体チップの積層3次元実装モジュールを、より高い寸法精度で行うことができる。

【0046】即ち、上記の如く、薄型化加工した半導体デバイスチップ21を実装した中間基板22の外部接続端子26に突起電極24を形成して、これをレーザービーム照射によってクリーニング処理後、引き続きレーザービーム照射を用いてフレキシブル中間基板22を個片化するための切断処理を行なう。

【0047】これにより、突起電極24の表面の自然酸化膜やフラックス残り等のプロセス残渣がクリーニングされて、表面が清浄な突起電極24を有する中間基板22の個片化を高精度に、高い均一性で行うことができるため、これを複数枚積層実装する際の層間接続部の位置合わせが容易に行えるようになる。

【0048】特に、本発明者が既に提案しているような実用的なリフロー治具（特願2000-171059号公報参照）を用いて、単層モジュールを積層3次元実装する場合に、本発明の効果は顕著であり、層間接続がより確実に行われるため、信頼性、歩留り、生産性を一層向上させることができる。

【0049】これらの結果、高機能化を目指す半導体デバイスの電気特性が大幅に向上し、高密度3次元実装を更に高い接続信頼性で実現することができる。

【0050】また、本発明は、上記したレーザービーム照射による突起電極24の表面のクリーニング処理を、減圧雰囲気下ないし非酸化性ガス雰囲気下で行なう特徴を有しており、これによりクリーニング処理を一層効果的に行うことができる。

【0051】具体的には、レーザービーム照射を行うプロセス処理室内を減圧下に真空引きした後に、処理室にサンプルを搬送してレーザークリーニング処理を行い、処理中のプロセス雰囲気圧力を一定に制御する。もしくは、真空引き後、更に不活性ガス（ないし非酸化性ガス）を導入して、プロセス処理室内を一定圧力に制御しながら、レーザークリーニング処理を行う。

【0052】これにより、レーザービーム照射中ないしレーザー照射直後のプロセス雰囲気から酸素を排除することにより、エネルギーを受けて活性化かつ温度上昇している突起電極24の表面で、クリーニング処理後の自然酸化の進行を極力防止することができるため、仕上りの積層実装時の層間接合部がより安定に清浄化されることにより、接続抵抗を一層低減し、また接続強度を更に向上させることができる。

【0053】また、中間基板22の表面が活性化されることによって、積層実装後のモジュールの接続信頼性を更に向上させる目的で樹脂封止を行なう場合に、樹脂材料のギャップ充填性や、中間基板と封止樹脂との密着性

をも向上させることができるようになる。

【0054】これらの結果、高機能化を目指す半導体デバイスの電気特性が一層向上し、高密度3次元実装を更に高い接続信頼性で実現することが可能になる。

【0055】

【実施例】以下、本発明の実施例を説明する。

【0056】実施例1

本実施例は、半導体デバイス部品の実装工程に、上記した実施の形態を適用したものであり、薄型化加工したデバイスチップをポリイミドの薄型フレキシブル中間基板にフリップチップ実装し、更に外部接続端子にはんだボールを搭載後、レーザービーム照射装置を用いて、表面のクリーニング及び個片化のための切断処理を施し、これを単層モジュールとしてマザー基板上に積層実装した例である。

【0057】図1はそのプロセスを示す図であるが、本実施例においてサンプルとして使用した半導体デバイスは、既述した図7のプロセスフローを経て形成されたもの（図7e）と同じであり、それ以降のプロセスを示す。具体的には、図7に示したように、前工程でシリコンに作り込んだLSI基板1のA1電極パッド2上のBLM（Ball Limiting Metal）膜4を下地として、表面保護膜としてのポリイミド膜3のパターン開口部5に高さ約100 $\mu$ mの高融点はんだのボールバンプ8が形成された状態のものである。

【0058】次に、この状態の半導体デバイスウェハに対して、機械研削、化学的機械研磨、エッチング等の手段で、厚さ約100 $\mu$ mまで裏面から薄型化加工した後、図1（a）に示すように、ダイシングしてデバイスチップ21に切り出し、これを図1（b）に示すように、ポリイミド等を基材とした厚さ約80 $\mu$ mのフレキシブル中間基板22にフリップチップ実装し、更に図1（c）に示すように、この中間基板22の外部接続端子26に、約250 $\mu$ m $\phi$ のはんだボール24を搭載（ボールバンプ24を形成後にフリップチップ実装することもできる。）して、薄型半導体デバイスの積層用モジュールを作製した。

【0059】図1では中間基板22を個片化した状態で示したが、実際は図1（d）までの状態は図5に示すように、大面積の中間基板材料22A上にXY方向のマトリックス状に、図1（c）のような、デバイスチップ21をフリップチップ実装した個片化前の中間基板の個片化単位52が形成され、クリーニング処理後、切断ライン53に沿って切断されて個片化される。なお、図5においては、個片化単位52の状態を一部のみに図示し、他は図示省略した。また、以降の説明における中間基板22は個片化単位の中間基板を指している。

【0060】そして、この状態の単層モジュールサンプル（中間基板22）を、図3に示すように、ガスジェットノズル33及び吸引ノズル34を具備したエキシマレ

レーザー照射装置にセットし、ステージ40上のチャック41を介して固定された台50の上に図1(d)の状態\*

\*の中間基板22を載置して、一例として下記の条件で、はんだボール24の表面クリーニング処理を行った。

レーザー源 : KrFエキシマレーザー ( $\lambda = 248 \text{ nm}$ )

エネルギー密度 :  $400 \text{ mJ/cm}^2$

ショット数 : 30ショット [30 Hz]

スキャン速度 :  $50 \text{ mm/s}$

ジェットガス :  $\text{N}_2$  20 l/s

【0061】なお、サンプルステージ40の動きとレーザーパルスとを同期させて、一定のオーバーラップでレーザー光35を照射し、サンプル面内で照射量が均一になるように制御した。

【0062】この結果、図1(d)及び図3に示すように、はんだボール24表面に形成されていた自然酸化膜やフラックス残り等のプロセス残渣が、パルスレーザー照射を受けて表面から脱離した不要物36が浮遊し、そこにジェットガスノズル33からガスが吹き付けられて脱離が助長されると共に、吸引ノズル34で吸引されてサンプルから脱離除去された。

※

レーザー源 : UV-YAGレーザー ( $\lambda = 355 \text{ nm}$ )

パワー : 0.85 W

ビーム径 :  $25 \mu\text{m}$   $\phi$

スキャン速度 :  $15 \text{ mm/s}$

スキャン周回数 : 5回

【0065】こうして個片化処理した単層モジュールを位置合わせの上で、図1(e)に示すように、複数枚重ねてマザー基板27に実装し、リフロー処理を行って層間接続を取り、最後に図1(f)に示すように、一段目の中間基板22とマザー基板27との隙間をエポキシ系の樹脂等23によって封止することにより、硬質のマザー基板27と中間基板22との熱膨張係数の差を吸収すると共に、実装高さを抑えた半導体デバイスの高密度積層3次元実装を実現することができた。

【0066】本実施例では、層間接続部となる中間基板22の突起電極24の表面が清浄化されることにより、これを積層実装した際の層間接続部の接続抵抗を大きく低減させることができた。また、中間基板22の表面が活性化されることによって、積層実装後のモジュールの接続信頼性を更に向上させる目的で行った1段目の樹脂封止において、樹脂材料のギャップ充填性や、中間基板22と封止樹脂23との密着性をも向上させることができた。

【0067】その結果、高機能化を目指す半導体デバイスの電気特性が向上し、高密度3次元実装を高い接続信頼性で実現することが可能となった。また、本実施例によって作製された半導体デバイスは、デバイスチップ間の配線の引き回し長さが、従来技術のもの（平面実装ワイヤ接続の積層実装）に比べて大幅に短縮されたため、インダクタンスを抑えた高速信号処理を可能とする、高機能な半導体デバイス部品を作製できた。

【0068】従って、本実施例を適用したデバイスを用

【0063】こうしたクリーニング効果によって、層間接続端子となる突起電極24に清浄な表面を露出させると同時に、フレキシブル中間基板22を構成しているポリイミド樹脂の最表面層は、高エネルギーのフォトン（約5 eV）の作用を受けて化学的に活性な状態となった。

【0064】次に、図5に示すように、この状態の面積のフレキシブル中間基板材料22Aに対して、一例として下記の条件で、レーザービーム照射による個片化のための切断処理を行い、図1(d)に示す中間基板22に個片化した。

いて組み立てられる最終的な電子機器の製品セットに関しても、ICカード、携帯電話、PDA (Personal Digital Assistant) 等を初めとする携帯電子機器の更なる小型軽薄化への実現に大いに貢献することができた。

#### 【0069】実施例2

本実施例は、上記した実施例1と同様に、半導体デバイス部品の実装工程に上記した実施の形態を適用したものであり、薄型化加工したデバイスチップをポリイミドの薄型フレキシブル中間基板にフリップチップ実装し、更に外部接続端子にはんだボールを搭載後、減圧下に制御した非酸化性ガスのプロセス雰囲気中でレーザービーム照射装置を用いて、表面のクリーニング処理及び個片化処理を施し、これを単層モジュールとしてマザー基板に積層実装した例である。

【0070】図2はそのプロセスを示す図であるが、本実施例においてサンプルとして使用した半導体デバイスは、実施例1と同様に、前工程でシリコンに作り込んだLSI基板1のA1電極パッド2上に、本実施例はUBM (Under Bump Metal) 膜15としてのTiW (チタン、タングステン合金) を下地として、Auめっきバン

【0071】次に、この状態の半導体デバイスウェハに対して、実施例1と同様に、機械研削、化学的機械研削、エッチング等の手段で、厚さ約100  $\mu\text{m}$ まで裏面から薄型化加工した後に、図2(a)に示すように、ダイシングしてデバイスチップに切り出し、これを図2(b)に示すように、ポリイミド等を基材とした厚さ約

80  $\mu\text{m}$ のフレキシブル中間基板22にACF (Anisotropic Conductive Film: 異方性導電膜) 17を使ってフリップチップ実装し、更に図2(c)に示すように、この中間基板22の外部接続端子26に、約250  $\mu\text{m}$   $\phi$ の共晶はんだボール24を搭載して、薄型半導体デバイスの積層用モジュールを作製した。

【0072】なお、本実施例もこの状態(図2(c))の中間基板22は、実施例1と同様に、大面積の中間基

プロセス雰囲気： $\text{N}_2$

雰囲気圧力：1 Torr

レーザー源：KrFエキシマレーザー( $\lambda = 248 \text{ nm}$ )

エネルギー密度：400  $\text{mJ}/\text{cm}^2$

ショット数：30ショット[30 Hz]

スキャン速度：50  $\text{mm}/\text{s}$

ジェットガス： $\text{N}_2$  20 l/s

【0074】このエキシマレーザー照射装置は、上部から $\text{N}_2$  (又はAr)等の不活性ガスが導入され、下部から真空ポンプで吸引されることによって減圧状態になり、載置部51上に載置した中間基板22に対して、エキシマレーザー35を照射しながら、ガスジェットノズル33でガスを吹き付け、脱離した不要物36を吸引ノズル34で吸引除去するものであり、中間基板材料22Aはロードロック室37a内のホルダー49から、その都度ゲートバルブ39を開閉しながら、不図示の搬送機構によって逐次、載置部51上へ搬送され、クリーニング処理後は他方のロードロック室37bへ移される。

【0075】なお、本実施例でも、サンプルステージの動きとレーザーパルスとを同期させて、一定のオーバーラップでレーザー光を照射し、サンプル面内で照射量が均一になるように制御した。

【0076】この結果、図2(d)及び図4に示すように、はんだボール24の表面に形成されていた自然酸化膜やフラックス残り等のプロセス残渣が、パルスレーザー照射を受けて表面から脱離して不要物36が浮遊し、そこにジェットガスが吹き付けられて脱離が助長され、吸引ノズル34で吸引されてサンプルから脱離除去された。

【0077】こうしたクリーニング効果によって、層間接続端子となる突起電極24に清浄な表面を露出させると同時に、フレキシブル中間基板22を構成しているポリミッド樹脂の最表面層は、高エネルギーのフォトン(約5 eV)の作用を受けて化学的に活性化状態となった。

【0078】また、本実施例では、 $\text{N}_2$  雰囲気に置換された減圧下のプロセス処理室38でクリーニング処理が行なわれているため、レーザービーム照射中ないしレーザー照射直後のプロセス雰囲気から酸素を排除することにより、レーザーのエネルギーを受けて活性化かつ温度上昇しているはんだボール表面で、クリーニング処理後の自然酸化の進行を極力防止することができるため、仕

\* 板材料22AにXY方向に個片化単位52で形成したものである。(図7参照)

【0073】この状態の単層モジュールサンプル(中間基板22)を、図4に示すように、プロセス処理室38内の雰囲気全体を減圧下に制御可能な、エキシマレーザー照射装置にセットし、一例として下記の条件で、はんだボール表面のクリーニング処理を行った。

上がりの積層実装における層間接合部がより安定に清浄化されることによって、接続抵抗を一層低減し、また接続強度を更に向上させることができた。

【0079】この後、実施例1と同様にして個片化処理し、その単層モジュールを位置合わせの上で、図2

(e)に示すように、複数枚重ねてマザー基板27に実装し、リフロー処理を行って層間接続を取り、最後に図2(f)に示すように、積層した中間基板22同士及び1段目の中間基板22とマザー基板27との隙間を一括して、エポキシ系のモールド樹脂等23によって封止することにより、実装高さを抑えた半導体デバイスの高密度積層3次元実装を実現することができた。

【0080】本実施例では、層間接続部となる中間基板22の突起電極24の表面がより効果的に清浄化されることによって、これを積層実装した際の層間接続部の接続抵抗を実施例1以上に低減させることができた。また、中間基板22の表面がより活性化されることによって、積層実装後のモジュールの接続信頼性を更に向上させる目的で行った樹脂封止において、樹脂材料のギャップ充填性や、中間基板22と封止樹脂23との密着性をも一層向上させることができた。

【0081】なお、本実施例では、軟らかいフレキシブル中間基板22と硬いマザー基板27とに挟まれた、1段目の層間接続材料に加えて、フレキシブル中間基板22の間の全ての層間接続部がモールド樹脂23で補強されたため、信頼性を保証するための温度サイクル試験でも、共晶はんだボールに加わる熱ストレスを、封止樹脂23全体で更に緩和することができ、接続信頼性がより一層大きく向上した。

【0082】そして、積層3次元実装された半導体デバイスの機械的強度も更に大きく向上するため、外力に対する耐性を十分に維持しながら、電子機器の超小型化、超薄型化が行なえるようになった。その結果、高機能化を目指す半導体デバイスの電気特性が向上し、高密度3次元実装を更に高い接続信頼性で実現することが可能に



なった。

【0083】また、本実施例によって作製された半導体デバイスも、デバイスチップ間の配線の引き回し長さが、従来技術のもの（平面実装ワイヤ接続の積層実装）に比べて大幅に短縮されたため、実施例1と同様に、インダクタンスを抑えた高速信号処理を可能とする、高機能な半導体デバイス部品を作製できた。

【0084】また更に、封止部材を中間基板22の外部接続端子26の周辺部位に設けると同時に、図6(b)に示すように、マザー基板27及びそれに実装された種々の電子部品50をも一括して封止することができるので、半導体装置の筐体をこの封止部材を使って一体成形すれば、製造効率及び機械的強度の向上を図ると共に、製品のより一層の小型化を図ることも可能となる。

【0085】図6は上記の如く、マザー基板27を含めて一括封止した半導体装置300（着脱式メモリーモジュール）を示し、図6(a)は一部を破断して図示した平面図、図6(b)は(a)のb-b線拡大断面図である。

【0086】図示の如く、半導体装置300には各種の電子部品が形成されており、図6(b)のようにパッケージされた筐体23の中には、回路基板27上に積層実装された半導体デバイス100が、その他の電子部品50と共に樹脂封止されている。

【0087】したがって、本発明を適用したデバイスを用いて組み立てられる最終的な電子機器の製品セットに関しても、ICカード、携帯電話、PDA(Personal Digital Assistant)等を初めとする携帯電子機器の更なる小型軽薄化への実現に大いに貢献することができる。

【0088】上記した各実施例によれば、薄型化加工された半導体チップ21を中間基板22にフリップチップ実装し、外部接続端子26上に形成した第2突起電極24に対してレーザービーム照射を用いてクリーニング処理後に、これを積層実装し樹脂封止する際に、層間接続部の電気特性と共に封止樹脂の密着性を高めることができるため、半導体デバイス部品の超薄型積層3次元実装を、高い接続信頼性で実現でき、電子機器の商品セットの更なる高機能化と超小型軽薄化が可能になり、したがって、高性能、高信頼性、小型、軽量が要求される今後の半導体デバイス装置の製造に貢献することができる。

【0089】上記した各実施例は、本発明の技術的思想に基づいて種々変形することができる。

【0090】例えば、実施例に用いたサンプルの構造や使用材料、プロセス処理装置、プロセス処理条件等は本発明の主旨を逸脱しない範囲で適宜選択可能である。

【0091】即ち、実施例では、ベアチップの中間基板への実装手段として、はんだボールやAuめっきバンプとACFを接合材料に用いてフリップチップ実装したが、Auスタッドバンプ、はんだめっきバンプ、導電性ペースト等の接合手段を用いることも可能である。

【0092】また、実施例では半導体デバイスチップの積層実装に適用した例を示したが、回路基板上に平面的に並べて実装する場合にも、ボールバンプをブラズマ処理することにより接続部の電気特性及び密着性を高めることができる。

【0093】

【発明の作用効果】上述した如く、本発明の半導体デバイスの実装方法及びその実装構造、並びに半導体装置及びその製造方法は、中間基板の第1外部端子と半導体チップの第1突起電極との接合により、中間基板に半導体チップを接合し、中間基板の両面に露出している第2外部端子の一方の面側に第2突起電極を形成して、少なくともこの第2突起電極をレーザービーム照射にて清浄化処理後に、第2突起電極を介して中間基板を外部と接続するので、レーザービーム照射による清浄化処理によって、第2突起電極の表面に形成された自然酸化膜やフラックス等の残渣が除去され、第2突起電極の表面が清浄化されるため、この第2突起電極を介した外部との接続部の接続抵抗を低減させ、電気特性を高めることができる。

【0094】また、上記実装方法及び製造方法に用いる清浄化装置は、レーザービーム照射位置の近傍に不要物の吸引手段が設けられているので、レーザービーム照射により第2突起電極の表面に急激な熱膨張が生じ、第2突起電極表面から脱離するプロセス残渣等の不要物が吸引手段によって吸引されるため、第2突起電極の表面を効率良く清浄化することができる。

【図面の簡単な説明】

【図1】本発明の実施例1による半導体デバイスの製造プロセスを示す図である。

【図2】同、実施例2による半導体デバイスの製造プロセスを示す図である。

【図3】同、実施例に用いたエキシマレーザ照射装置の概略構成図である。

【図4】同、実施例に用いた他のエキシマレーザ照射装置の概略構成図である。

【図5】同、実施例の中間基板が個片化されるまでの作製過程を示す概略図である。

【図6】同、実施例による半導体装置の一例を示し、(a)はその平面図、(b)は(a)のb-b線断面図である。

【図7】はんだボールバンプの製造プロセスの一例を示す図である。

【図8】従来例による積層実装した半導体デバイスチップの一例を示す概略断面図である。

【図9】同、半導体デバイスチップの他の一例を示し、(a)は概略平面図、(b)は(a)のb-b線断面図である。

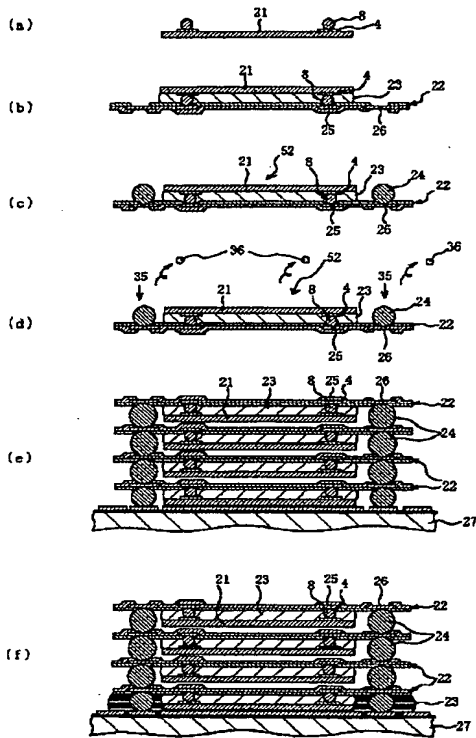
【符号の説明】

1…基体、2…電極パッド、3…表面保護膜、4…BL

17

M膜（金属多層膜）、5…開口部、6…レジスト膜、7…はんだ蒸着膜、8…第1突起電極（ボールパンプ）、15…UBM膜、16…Auめっきバンプ、17…異方性導電膜、21…半導体チップ、22…中間基板、22A…中間基板材料、23…封止樹脂、24…第2突起電極、25…第1外部接続端子、26…第2外部接続端子、27…回路基板（マザー基板）、33…ガスジェット\*

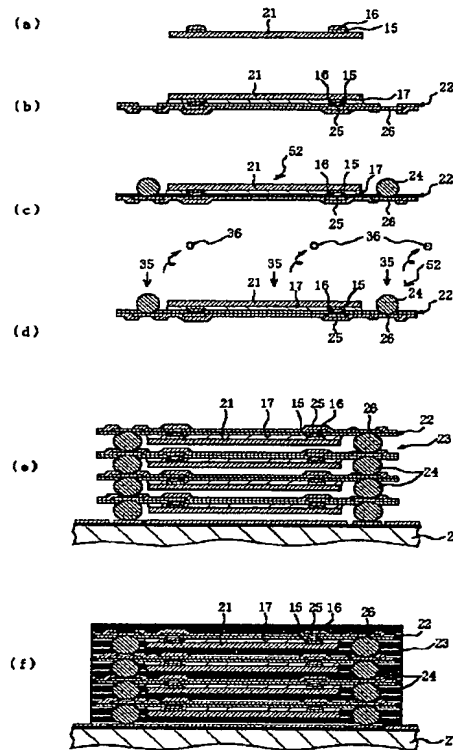
【図1】



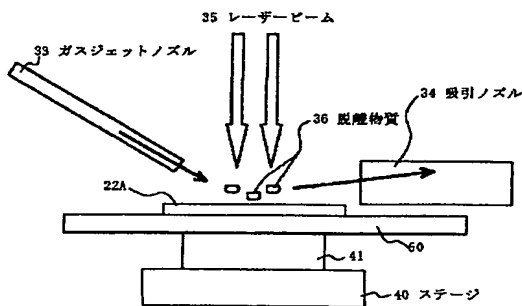
18

\* トノズル、34…吸引ノズル、35…レーザービーム、36…脱離物質、37…ロードロック室、38…プロセス処理室、39…ゲートバルブ、40…サンプルステージ、41…真空チャック、49…サンプルホルダー、50…台、51…載置部、52…中間基板の個片化単位、53…切断ライン

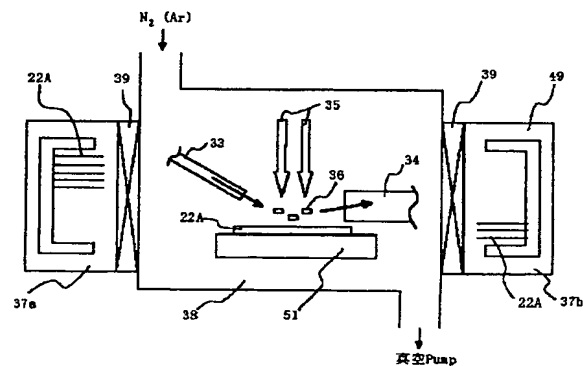
【図2】



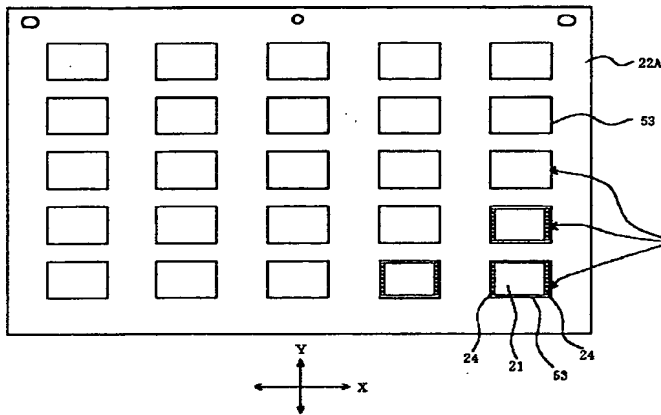
【図3】



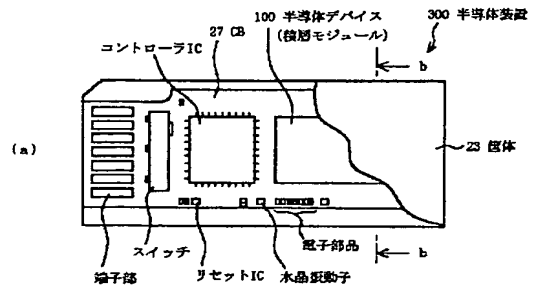
【図4】



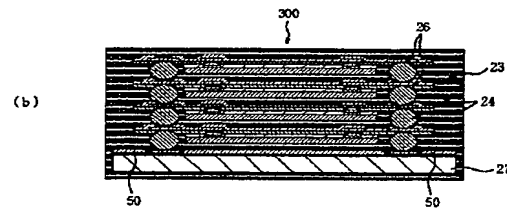
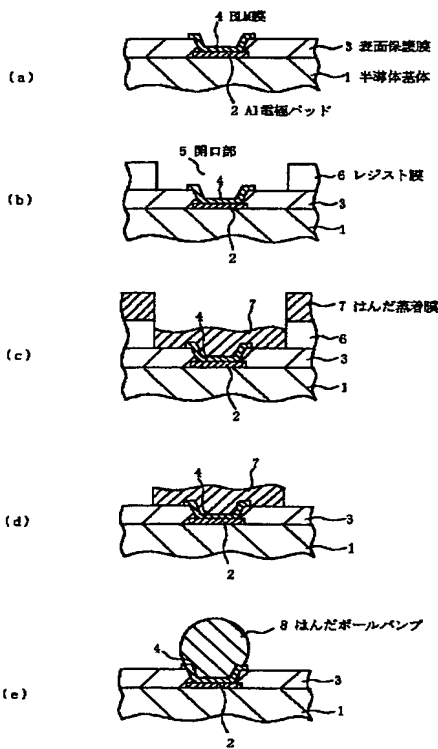
【図5】



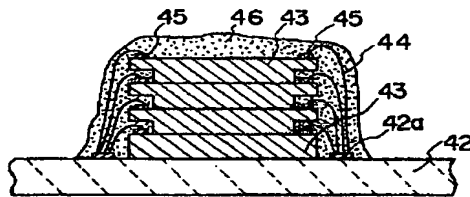
【図6】



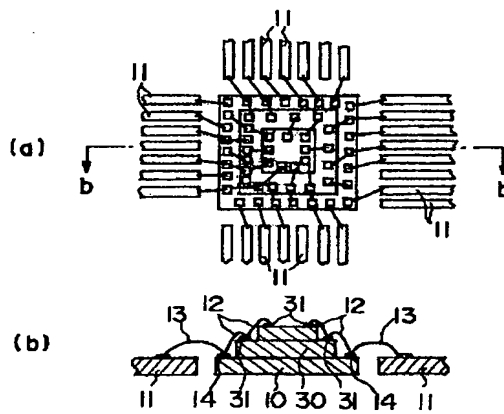
【図7】



【図8】



【図9】



(12)

特開2003-7970

フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

ターマコード (参考)

H 0 1 L 25/11

H 0 1 L 21/92

6 0 3 D

25/18

6 0 4 C

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-007970

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H01L 25/10  
H01L 21/60  
H01L 23/12  
H01L 25/11  
H01L 25/18

(21)Application number : 2001-185707

(71)Applicant : SONY CORP

(22)Date of filing : 20.06.2001

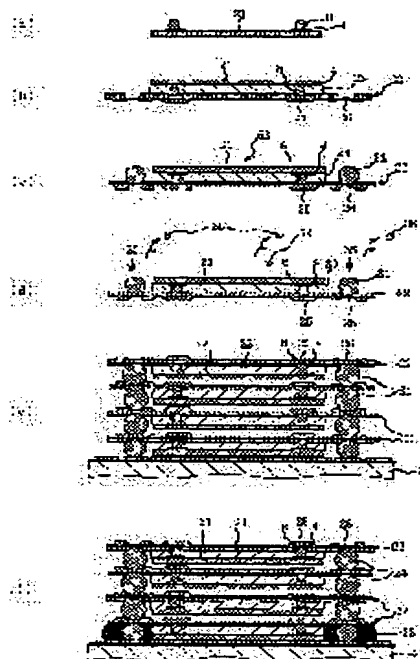
(72)Inventor : YANAGIDA TOSHIHARU

(54) METHOD AND STRUCTURE FOR MOUNTING SEMICONDUCTOR DEVICE, CLEANING DEVICE FOR USE IN MOUNTING METHOD, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE, AND CLEANING DEVICE FOR USE IN MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and a structure for mounting a semiconductor device ensuring good electric characteristics at the joint, a cleaning device for use in the mounting method, method for manufacturing a semiconductor device and a semiconductor device, and a cleaning device for use in the manufacturing method.

SOLUTION: A semiconductor chip 21 provided with first bump electrodes 8 by thinning the backside is flip-chip mounted while being connected with the first external connection terminals 25 of an intermediate substrate 22 and second bump electrodes 24 are formed on one side of second external connection terminals 26 formed on the opposite sides of the intermediate substrate. The second bump electrodes 24 are subjected to surface cleaning by irradiating them with a laser beam in inert gas atmosphere and after the intermediate substrate 22 is segmented by being irradiated with a laser beam, a plurality of intermediate substrates 22 are stacked through the second bump electrodes 24. Since the surface of the second bump electrodes 24 is cleaned and the surface of the intermediate substrate 22 made of polyimide resin is activated chemically, good electric characteristics are attained at the joint of the intermediate substrates and adhesion between a sealing material and the intermediate substrate is enhanced during resin sealing.



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**